

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109912

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 21/90

(21)Application number : 03-266121

(71)Applicant : MITSUBISHI DENKI ENG KK
MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.10.1991

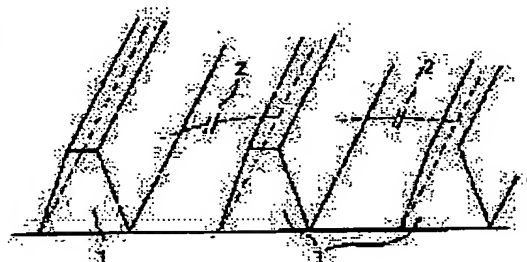
(72)Inventor : NAKAI KENTARO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To shorten access time and prevent malfunction of a device by forming a taper on the side of arrayed wiring such as bit line and word line.

CONSTITUTION: The wiring 1 of an integrated circuit is provided with a taper. The width of the bottom of the wiring 1 is approximately $10\mu\text{m}$ and the angle of the taper is $40^\circ - 50^\circ$. A parasitic capacity 2 is generated between the wiring 1 and the wiring 1. When the taper is formed at the side of the wiring 1, the parasitic capacity 2 generated between the wiring 1 and wiring 1 is reduced. Thus, the sense margin of the integrated circuit is increased, and not only sense speed is increased but also malfunctions are prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-109912

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

H 0 1 L 21/90

識別記号

庁内整理番号

F I

技術表示箇所

V 7353-4M

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-266121

(22)出願日 平成3年(1991)10月15日

(71)出願人 591036457

三菱電機エンジニアリング株式会社
東京都千代田区大手町2丁目6番2号

(71)出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 中井 健太郎

兵庫県伊丹市東野4丁目61番5号 三菱電
機エンジニアリング株式会社エル・エス・
アイ設計センター内

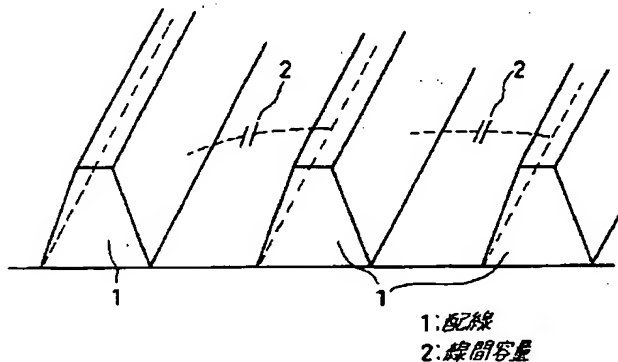
(74)代理人 弁理士 大岩 増雄 (外2名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 L S I のアレイ配線に、テーパを付けること
によって、寄生容量を低減する。

【構成】 D R A M のビットラインにテーパを付ける
と、線間につく寄生容量2を低減することができ、 C_B
/ C_S を低下させることができ、センス時間が短くな
り、デバイスが高速化される。また、D R A M 等のワー
ドラインにテーパをつけると、線間の寄生容量2が低減
し、この容量がデカップリング容量となって、まわり
にある配線に悪影響を与えることを低減でき、誤動作を
防止できる。



【特許請求の範囲】

【請求項1】 半導体集積回路装置において、所要箇所の配線を、その側面にテーパを有する配線形状としたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置に関し、特にDRAMなどのビットライン（以下、BLとする）、ワードライン（以下、WLとする）の形状の改良を図ったものに関するものである。

【0002】

【従来の技術】図8は従来の半導体集積回路装置のアレイの配線図であり、図において、1は例えばポリシリコンで形成された配線であり、その幅、高さは例えば1.0 μ m、0.5 μ mである。2は配線同士の線間容量であり、その値は例えば15fFである。図9はこの従来のアレイ配線の断面図である。従来のBL、WLの形状は、隣り合う配線の側面が相互に平行に向かい合って走る形状になっている（図8、図9参照）。このため、従来の技術では、隣り合うBL、WLの線間に寄生容量が寄生しやすい形状になっている（図8、図9参照）。

【0003】

【発明が解決しようとする課題】従来のDRAM等のBL、WLは以上のような形状で構成されているため、線間に寄生容量が付きやすく、アクセスタイムの遅延が生じたり、また、ある1本の配線のレベルを変動させた時、寄生容量がカップリング容量となって、その側面に走っている配線に影響を与え、デバイスが誤動作を起こす等の問題点があった。

【0004】この発明は、上記のような問題点を解消するためになされたもので、アクセスタイムの高速化を図るとともに、デバイスの誤動作を防ぐことが可能な半導体集積回路装置を得ることを目的とする。

【0005】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、ビット線、ワード線（以下、BL、WLと称す）等アレイ状に並ぶ配線の側面にテーパを形成したものである。

【0006】

【作用】この発明における半導体集積回路装置は、配線の側面にテーパを形成することにより、線間容量を低下することができる。

【0007】

【実施例】以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例における半導体集積回路装置のアレイ配線図である。図において、1はその側面にテーパを設けた配線であり、配線底部の幅は例えば1.0 μ m、テーパの角度は例えば40°～50°に形成されている。2はその配線間の寄生容量である。図2は図1に示したアレイ配線の断面図である。

【0008】次に、DRAMのBLに適用した場合のこの発明の実施例の動作について説明する。図3はメモリセルを表わしている。3はBLの容量 C_B 、4はメモリセルの容量 C_S 、5はBLを表わしている。

【0009】図4はBLの断面図を示し、BLの容量 C_B の内容を表わしている。6はBL同士の線間容量 C_1 、7はBLと上部配線との間の寄生容量 C_2 、8はBLと基板との間の寄生容量 C_3 を表わしている。

$$C_B = C_1 + C_2 + C_3$$

【0010】なお、 C_1 は例えば15fF、 C_2 は約10～30fF、 C_3 は例えば10fFである。 C_2 の値に幅があるのは、現在のLSIは多層配線のため、上部および下部に複数の配線が走っており、その1本に対する容量にばらつきがあるためである。

【0011】図5は通常の配線形状を有するDRAMのセンス時のBLの動きを示す。12はメモリセルが選択された後、BLが C_S によって変動するレベル ΔV を示している。13は12のレベルをセンスアンプによって増幅する時間 t_S を示している。 ΔV 、 t_S は例えば200mV、5nSである。

【0012】図6はこの発明を適用した時のBLの動きを示している。図5と比べると、 ΔV が大きくなっていることがわかる。これはBLにテーパをつけることにより、 C_1 が低下し、その結果 C_B が確実に小さくなることにより、 ΔV が確実に大きくなるからである。

【0013】その結果、センスマージンが増大し、センスアンプの感度を落とすことができ、その結果、センス速度が速くなり、デバイス的高速化につながる。

【0014】次に、この発明をDRAMのWLに適用した場合の実施例の効果について述べる。

【0015】図7はDRAMのメモリセルのアレイ部を示している。21は選択WL、22は選択メモリセル、23、24は非選択WL、25、26は非選択メモリセル、27、28は線間容量、29はBL、30はBLを示す。WLにテーパを付け、線間容量を小さくすると、選択WL21を立ち上げ、選択メモリセル22を選択したとき、線間容量27、28がデカップリング容量となって、非選択WL23、24を立ち上げ、非選択メモリセル25、26が誤って選択されることを防ぐことができる。

【0016】同時に別の効果として、メモリセルのトランスファゲートのトランジスタ長を短くしてメモリセルとBLのトランスファ時間を短くすることができ、その結果デバイス的高速化にもつながる。

【0017】また、本発明ではDRAMのBL、WLについて述べたが、その他の集積回路においても、配線間の寄生容量が問題となるような箇所では同様の効果を奏する。

【0018】

【発明の効果】以上のように、この発明に係る半導体集

積回路装置によれば、所要箇所の配線の側面にテーパを形成するようにしたので、DRAM等のWL、BLに適用することにより、デバイス的高速化または誤動作を抑える等の効果が得られる。

【図面の簡単な説明】

【図1】 この発明の一実施例を適用したアレイの配線図である。

【図2】 この発明の一実施例を適用したアレイ配線の断面図である。

【図3】 メモリセルの等価回路図である。

【図4】 BLの寄生容量を示す断面図である。

【図5】 DRAMの選択時のBLの動きを示す図である。

【図6】 この発明を適用した時のDRAMの選択時のBLの動きを示す図である。

【図7】 メモリセルアレイの等価回路図である。

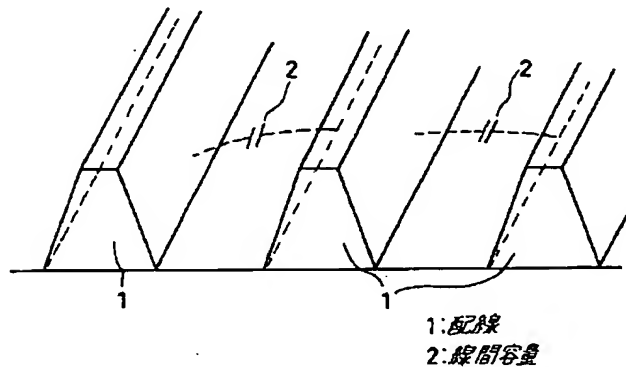
【図8】 従来のアレイ配線図である。

【図9】 従来のアレイ配線の断面図である。

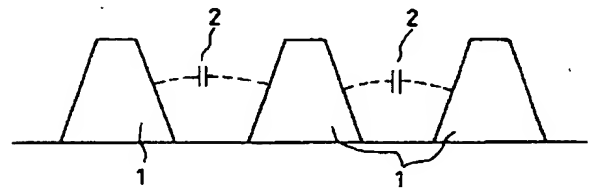
【符号の説明】

- 1 配線
- 2 寄生容量

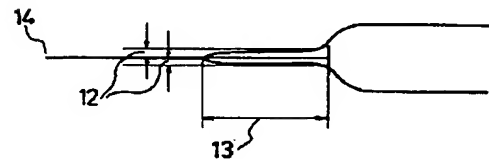
【図1】



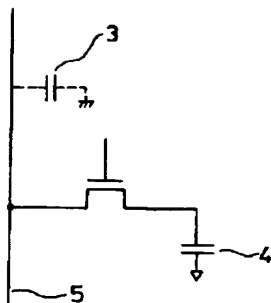
【図2】



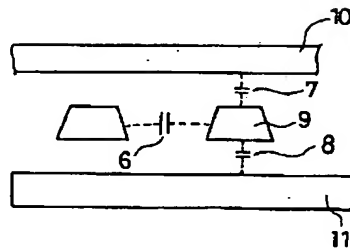
【図5】



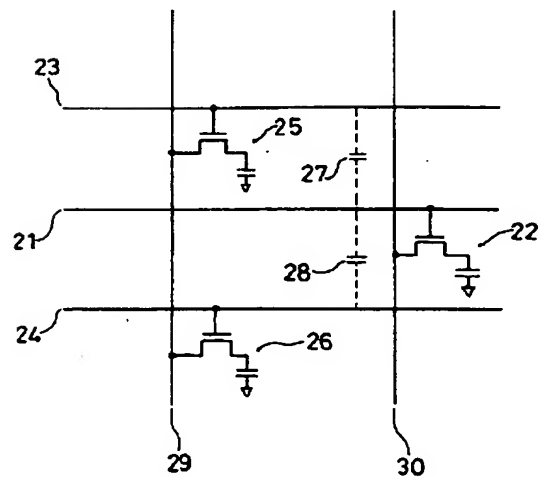
【図3】



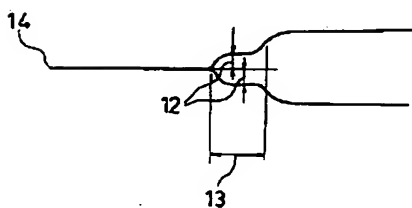
【図4】



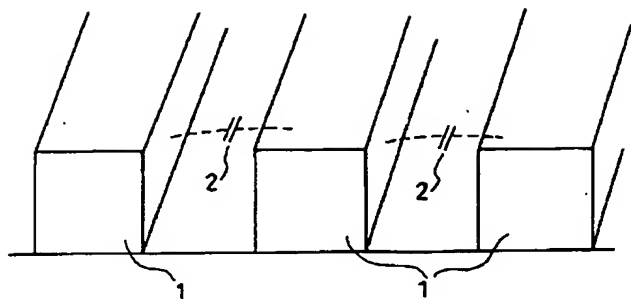
【図7】



【図6】



【図8】



【図9】

